

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 1 4 8 7
Application Number:

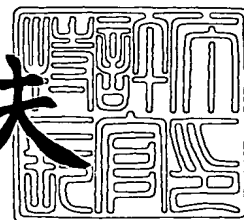
[ST. 10/C] : [J P 2 0 0 3 - 0 0 1 4 8 7]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000204432

【提出日】 平成15年 1月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/02

【発明の名称】 半導体装置およびそのアセンブリ方法

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 明石 知子

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびそのアセンブリ方法

【特許請求の範囲】

【請求項 1】 配線基板の表面側と裏面側とを電氣的に接続するスルーホール配線および／またはビア配線が形成され、前記表面側において前記スルーホール配線および／またはビア配線に接続されたパッドを有するパッケージ基板と、素子形成面に形成されたパッド群上にそれぞれバンプが形成され、前記パッド群のうちで電源パッドの少なくとも一部に対応して前記素子形成面と裏面とを電氣的に接続するスルーホール配線が形成され、前記裏面において前記スルーホール配線に接続されたパッド上に形成されたバンプを有し、前記素子形成面のバンプが前記パッケージ基板の表面側のパッドに対向するようにフリップチップ接続された半導体チップと、

有機基板あるいはセラミックス基板の表面側と裏面側とを電氣的に接続するスルーホール配線が形成され、表面側には前記スルーホール配線に接続された印刷配線に電極部が接続されたキャパシタが実装され、裏面側には前記スルーホール配線に接続されたパッドを有し、このパッドが前記半導体チップの裏面のバンプに対向するようにフリップチップ接続されたキャパシタ実装基板と、

前記半導体チップとパッケージ基板との間および前記半導体チップとキャパシタ実装基板との間にそれぞれ接着樹脂が注入された後に硬化されることによって両者を固着し、さらに、パッケージ基板上で前記半導体チップおよびキャパシタ実装基板の側面およびキャパシタ上面をモールド樹脂で覆った樹脂パッケージと、

前記パッケージ基板の裏面側に配列された外部端子用のボールグリッドアレイとを具備することを特徴とする半導体装置。

【請求項 2】 前記キャパシタ実装基板の表面側の所定領域上にサーマルペーストを挟んで実装された放熱器

をさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記放熱器は前記キャパシタ実装基板の表面の中央領域上に実装され、前記キャパシタは前記キャパシタ実装基板の表面で前記放熱器の周辺

に配置されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記パッケージ基板上にそれより若干大きいサイズの半導体チップおよびキャパシタ実装基板が積層された状態でモールド樹脂で覆われており、樹脂パッケージの側端面およびパッケージ基板の側端面はほぼ揃っていることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 素子形成面にパッド群を有し、前記パッド群のうちの電源パッドの少なくとも一部については素子形成面から裏面まで貫通するスルーホール配線を有し、前記裏面には前記各スルーホール配線に接続された複数のパッドを有し、前記素子形成面の各パッド上にそれぞれ形成された第1の半田バンプを有する半導体チップを形成する工程と、

表面側と裏面側とを電氣的に接続するスルーホール配線またはビア配線を有する配線基板の表面側に前記スルーホール配線またはビア配線に接続された複数の第1の半田パッドを有するパッケージ基板を形成する工程と、

前記半導体チップの素子形成面の各第1の半田バンプを前記パッケージ基板の表面側の各第1の半田パッドにそれぞれ対向させて接続するようにフリップチップ接続を行う工程と、

前記半導体チップと前記パッケージ基板をフリップチップ接続した状態で前記半導体チップの裏面上にある各スルーホール配線に接続された複数のパッド上に第2の半田バンプを形成する工程と、

有機基板あるいはセラミックス基板の表面側と裏面側とを電氣的に接続するスルーホール配線を有し、前記表面側には前記スルーホール配線に電氣的に接続された印刷配線にキャパシタ電極部を対向させて電氣的に接続するようにキャパシタが実装され、前記有機基板あるいはセラミックス基板の裏面側で前記スルーホール配線に接続された第2の半田パッドを有するキャパシタ実装基板を製造する工程と、

前記キャパシタ実装基板の裏面の各第2の半田パッドを前記半導体チップの裏面に形成されている各第2の半田バンプにそれぞれ対向させて接続するようにフリップチップ接続を行う工程と、

その後、前記半導体チップとパッケージ基板との間および半導体チップとキャ

パシタ実装基板との間に接着樹脂を注入し、パッケージ基板上で半導体チップおよびキャパシタ実装基板の側面およびキャパシタ上面をモールド樹脂で覆って固着するように成型する工程と、

その後、前記パッケージ基板の裏面に半田ボールをつけ、BGA を形成してFCBGA パッケージを完成させる工程

とを具備することを特徴とする半導体装置のアセンブリ方法。

【請求項 6】 前記キャパシタ実装基板を製造する際、キャパシタ実装基板の表面側の所定領域上にサーマルペーストを挟んで放熱器を実装する工程

をさらに具備することを特徴とする請求項 5 記載の半導体装置のアセンブリ方法。

【請求項 7】 前記キャパシタ実装基板を製造する際、前記放熱器を前記キャパシタ実装基板の表面の中央領域上に実装し、

前記キャパシタを実装する際、前記キャパシタ実装基板の表面で前記放熱器の周辺に配置することを特徴とする請求項 6 記載の半導体装置のアセンブリ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびそのアセンブリ方法に係り、特にフリップチップ・ボールグリッドアレイ (FCBGA) パッケージを有する半導体装置にデカップリングキャパシタを付加する構造およびそのアセンブリ方法に関するもので、例えば DRAM 混載システム LSI や、ネットワーク用システム LSI に使用されるものである。

【0002】

【従来の技術】

図 5 は、従来の FCBGA パッケージを有する半導体装置の一例を概略的に示す断面図である。

【0003】

この半導体装置において、FCBGA パッケージの基板 60 は、表面側と裏面側とを電氣的に接続するスルーホール配線 61 が形成されており、その裏面側には半田ボ

ール62がボールグリッドアレイ(BGA)をなすように形成されている。そして、上記基板60の表面側の中央領域には、半導体チップ(ダイ)63がフリップチップ接続され、両者間に樹脂64が注入(アンダーフィル)された後に硬化されており、その周囲を囲むようにスペーサ(スティフナー)65が配設されて接着剤66により接着されている。そして、上記スペーサ65およびダイ63の上に例えばCu板からなる放熱器(ヒートスプレッダ)兼カバープレート67が載置されて接着されている。この場合、ダイ63とカバープレート67とはサーマルペースト68により接着され、スペーサ65とカバープレート67とは接着剤66により接着されている。

【0004】

上記したような半導体装置を応用製品の配線基板上に実装して使用する場合には、通常、配線基板上でFCBGAパッケージのBGAの近傍に電源電圧安定化用のデカップリングキャパシタ(図示せず)を配置することにより、半導体装置のシグナル・インテグリティ(往復信号の整合性)の向上を図っている。この場合、デカップリングキャパシタを電源ラインの近傍に配置することがベストであるが、FCBGAパッケージでは、アウターリードボール(OLB)がBGAの領域に配置されているので、デカップリングキャパシタを電源ラインの近傍に配置することができない。

【0005】

なお、BGAの中央領域に、アウターリードボールを配置しないでデカップリングキャパシタを配置することが考えられ、このような構造を有するものと類推されるマイクロプロセッサが非特許文献1に開示されている。しかし、このような構造は、BGAの配置に制約を与えることになり、必ずしも得策ではない。

【0006】

【非特許文献1】

インテル(R) インターネットホームページ 製品とサポート、インテル(R) Pentium(R) 4プロセッサ、[online]、インターネット<URL: <http://intel.co.jp/products/desktop/processors/desktop/pentium4/index.html>

【0007】

【発明が解決しようとする課題】

上記したように従来のFCBGAパッケージを有する半導体装置は、デカップリングキャパシタを電源端子の近傍に配置することができず、シグナル・インテグリティの向上を十分に図ることができないという問題がある。また、ボールグリッドアレイの中央領域に、アウターリードボールを配置しないでデカップリングキャパシタを配置する構造は、ボールグリッドアレイの配置に制約を与えることになり、必ずしも得策ではないという問題がある。

【0008】

本発明は上記の問題点を解決すべくなされたもので、FCBGAパッケージのBGAの配列に変更を与えることなく、デカップリングキャパシタを半導体チップの電源パッドの近傍に配置し得る半導体装置およびそのアセンブリ方法を提供することを目的とする。

【0009】**【課題を解決するための手段】**

本発明の半導体装置は、配線基板の表面側と裏面側とを電氣的に接続するスルーホール配線および／またはビア配線が形成され、表面側においてスルーホール配線および／またはビア配線に接続されたパッドを有するパッケージ基板と、素子形成面に形成されたパッド群上にそれぞれバンプが形成され、パッド群のうちで電源パッドの少なくとも一部に対応して素子形成面と裏面とを電氣的に接続するスルーホール配線が形成され、裏面においてスルーホール配線に接続されたパッド上に形成されたバンプを有し、素子形成面のバンプがパッケージ基板の表面側のパッドに対向するようにフリップチップ接続された半導体チップと、有機基板あるいはセラミックス基板の表面側と裏面側とを電氣的に接続するスルーホール配線が形成され、表面側にはスルーホール配線に接続された印刷配線に電極部が接続されたキャパシタが実装され、裏面側にはスルーホール配線に接続されたパッドを有し、このパッドが半導体チップの裏面のバンプに対向するようにフリップチップ接続されたキャパシタ実装基板と、半導体チップとパッケージ基板との間および半導体チップとキャパシタ実装基板との間にそれぞれ接着樹脂が注入された後に硬化されることによって両者を固着し、さらに、パッケージ基板上で

半導体チップおよびキャパシタ実装基板の側面およびキャパシタ上面をモールド樹脂で覆った樹脂パッケージと、パッケージ基板の裏面側に配列された外部端子用のボールグリッドアレイとを具備することを特徴とする。

【0010】

また、本発明の半導体装置のアセンブリ方法は、素子形成面にパッド群を有し、前記パッド群のうちの電源パッドの少なくとも一部については素子形成面から裏面まで貫通するスルーホール配線を有し、前記裏面には前記各スルーホール配線に接続された複数のパッドを有し、前記素子形成面の各パッド上にそれぞれ形成された第1の半田バンプを有する半導体チップを形成する工程と、表面側と裏面側とを電氣的に接続するスルーホール配線またはビア配線を有する配線基板の表面側に前記スルーホール配線またはビア配線に接続された複数の第1の半田パッドを有するパッケージ基板を形成する工程と、前記半導体チップの素子形成面の各第1の半田バンプを前記パッケージ基板の表面側の各第1の半田パッドにそれぞれ対向させて接続するようにフリップチップ接続を行う工程と、前記半導体チップと前記パッケージ基板をフリップチップ接続した状態で前記半導体チップの裏面上にある各スルーホール配線に接続された複数のパッド上に第2の半田バンプを形成する工程と、有機基板あるいはセラミックス基板の表面側と裏面側とを電氣的に接続するスルーホール配線を有し、前記表面側には前記スルーホール配線に電氣的に接続された印刷配線にキャパシタ電極部を対向させて電氣的に接続するようにキャパシタが実装され、前記有機基板あるいはセラミックス基板の裏面側で前記スルーホール配線に接続された第2の半田パッドを有するキャパシタ実装基板を製造する工程と、前記キャパシタ実装基板の裏面の各第2の半田パッドを前記半導体チップの裏面に形成されている各第2の半田バンプにそれぞれ対向させて接続するようにフリップチップ接続を行う工程と、その後、前記半導体チップとパッケージ基板との間および半導体チップとキャパシタ実装基板との間に接着樹脂を注入し、パッケージ基板上で半導体チップおよびキャパシタ実装基板の側面およびキャパシタ上面をモールド樹脂で覆って固着するように成型する工程と、その後、前記パッケージ基板の裏面に半田ボールをつけ、BGAを形成してFCBGAパッケージを完成させる工程とを具備することを特徴とする。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0012】

図1乃至図4は、本発明の一実施形態に係る半導体装置のアセンブリ方法の一例の主要な工程における断面構造を概略的に示している。

【0013】

まず、図1中に示すような半導体チップ（ダイ）10、パッケージ基板（ビルドアップサブストレート）20を形成する。

【0014】

半導体チップ10は、素子形成面にパッド群を有し、そのうちの電源パッドの少なくとも一部については素子形成面から裏面まで貫通するスルーホール配線11を有する。そして、チップ裏面には各スルーホール配線11に接続された複数のパッドを有し、素子形成面の各パッド上にそれぞれ例えば半田を印刷して形成された第1の半田バンプ13を有するものである。

【0015】

また、パッケージ基板20は、配線基板21の表面側と裏面側とを電氣的に接続するスルーホール配線またはビア配線22を有し、配線基板21の表面側にスルーホール配線またはビア配線に接続された複数の第1の半田パッド23を有するものである。

【0016】

なお、本例において、半田パッドとは、例えば、A1のパッド上に表面処理をしたものに印刷により半田を厚付けし、これを一度リフローをして円形状にした後、天辺部分を平らにつぶしたものであり、半田の柱のような構成のものをいう。

【0017】

そして、半導体チップ10の素子形成面の第1の半田バンプ13をパッケージ基板20の表面側の第1の半田パッド23にそれぞれ対向させて接続するようにフリップチップ接続を行う。このようにフリップチップ接続した状態で、半導体チップ10

の裏面上にある各スルーホール配線に接続された複数のパッド上に第2の半田バンプ12を形成する。

【0018】

一方、図1に示した工程とは別に、図2に示すようなキャパシタ実装基板30を製造する。このキャパシタ実装基板30は、有機基板（例えば樹脂基板）あるいはセラミックス基板31の表面側と裏面側とを電氣的に接続するスルーホール配線32を有する。そして、表面側にはスルーホール配線32に電氣的に接続された印刷配線の例えば先端部に形成されたパッド部（図示せず）にキャパシタ（例えばチップコンデンサ）33の電極部（図示せず）を対向させて電氣的に接続するようにキャパシタが実装されている。そして、有機基板あるいはセラミックス基板31の裏面側でスルーホール配線32に接続されたパッドに例えば半田が印刷された第2の半田パッド34を有するものである。

【0019】

この場合、キャパシタ実装基板30の表面側におけるキャパシタ33の実装数や配置位置は特に限定されるものではないが、半導体チップ10の電源パッドに近い位置に配置されることが望ましい。また、キャパシタ実装基板30の上面の例えば中央領域には、サーマルペースト35を挟んで例えばCu板からなる放熱器（ヒートスプレッダ）36を実装する。

【0020】

そして、図3に示すように、キャパシタ実装基板30の裏面の第2の半田パッド34を半導体チップ10の裏面の第2の半田バンプ12にそれぞれ対向させて接続するようにフリップチップ接続を行う。

【0021】

その後、図4に示すように、半導体チップ10とパッケージ基板20との間および半導体チップ10とキャパシタ実装基板30との間に接着樹脂を注入（アンダーフィル）して両者を固着し、さらにパッケージ基板20上で半導体チップ10およびキャパシタ実装基板30の側面およびキャパシタ上面をモールド樹脂で覆って固着するように成型して樹脂パッケージ40を形成する。そして、パッケージ基板20の裏面に半田ボール41を付け、ボールグリッドアレイ（BGA）を形成してFCBGAパッケー

ジを完成させる。

【0022】

図4に示す半導体装置は、キャパシタ実装基板30の裏面をFCBGAパッケージのパッケージ基板20のBGA面とは反対面に配置してフリップチップ接続してなるダブルフリップチップパッケージを有することを特徴とするものである。

【0023】

即ち、図4において、FCBGAパッケージの基板20は、配線基板21の表面側と裏面側とを電氣的に接続するスルーホール配線およびビア配線22が形成されたものである。このパッケージ基板20の表面側においては、スルーホール配線およびビア配線22に接続されているパッドに例えば半田が印刷されて半田パッド23が形成されており、裏面側には外部端子として例えば半田ボール41が格子状に配列されたBGAが形成されている。

【0024】

上記パッケージ基板20上に実装された半導体チップ10は、その素子形成面に形成されているパッド群の各パッドに例えば半田が印刷されて半田バンプ13が形成されている。この場合、上記パッド群のうちで電源パッドの少なくとも一部については、素子形成面とチップ裏面とを電氣的に接続するスルーホール配線11が形成されている。そして、チップ裏面においては、スルーホール配線11に接続されているパッドに例えば半田が印刷されて半田バンプ12が形成されている。

【0025】

そして、半導体チップ10の素子形成面の半田バンプ13がパッケージ基板20の表面側の半田パッド23に対向するようにフリップチップ接続されている。このフリップチップ接続に際しては、半田バンプ13と対向する半田パッド23を熱で溶かして接合している。

【0026】

一方、キャパシタ実装基板30は、有機基板あるいはセラミックス基板31の表面側と裏面側とを電氣的に接続するスルーホール配線32が形成されている。このキャパシタ実装基板30の表面側の例えば中央領域には、サーマルペースト35を挟んで例えばCu板からなる放熱器36が実装されており、この放熱器36の周辺部には

、スルーホール配線32に接続された印刷配線（図示せず）の例えば先端部にキャパシタ（例えばチップコンデンサ）33の電極部（図示せず）が対向して電氣的に接続されるように実装されている。

【0 0 2 7】

なお、キャパシタ実装基板30の表面側におけるキャパシタ33の実装数や配置位置は特に限定されるものではないが、チップ10の電源パッドに近い位置でキャパシタ33の電極部が接続されるように配置されることが、チップ10の電源電圧の安定化を図る上で望ましい。

【0 0 2 8】

また、キャパシタ実装基板30の裏面側（キャパシタ非実装面側）においては、スルーホール配線32に電氣的に接続されたパッドに例えば半田が印刷されて半田パッド34が形成されている。

【0 0 2 9】

そして、キャパシタ実装基板30の裏面側の半田パッド34がチップ10の裏面の半田バンプ12に対向するようにフリップチップ接続されている。この際、半田パッド12と対向する半田パッド34を熱で溶かして接合している。

【0 0 3 0】

さらに、チップ10とパッケージ基板20との間およびチップ10とキャパシタ実装基板30との間にそれぞれ接着樹脂が注入された後に硬化されることによって両者が固着されており、さらに、パッケージ基板20上でチップ10およびキャパシタ実装基板30の側面およびキャパシタ33の上面を覆うようにモールド樹脂が成型されることによって、樹脂パッケージ40が形成されている。

【0 0 3 1】

上記したような接着樹脂による固着やモールド樹脂によって、FCBGAパッケージの機械的強度が確保され、外部からの機械的振動や衝撃などに対する半導体装置の信頼性の向上が図られている。

【0 0 3 2】

なお、キャパシタ実装基板30の表面側でサーマルペースト35を挟んで実装されているヒートスプレッド36の高さは特に制約を受けるものではないが、ヒートス

プレダ36の高さがキャパシタ33より高い方が、モールド樹脂により成型されたFCBGAパッケージの取り扱い上の都合が良い。

【0033】

即ち、上記実施形態のFCBGAパッケージによれば、半導体チップ10上にキャパシタ実装基板30が積層された構造を有するので、FCBGAパッケージ基板のBGAの配置やチップ10の電源パッドの配置に制約を及ぼすことなく、キャパシタ実装基板30上にデカップリングキャパシタ33を配置することができる。

【0034】

【発明の効果】

上述したように本発明の半導体装置およびそのアセンブリ方法によれば、FCBGAパッケージのBGAの配列に変更を与えることなく、デカップリングキャパシタを半導体チップの電源パッドの近傍に配置することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体装置のアセンブリ方法の一例の主要な工程の一部を概略的に示す断面図。

【図2】 図1と工程と並行して行われる工程を概略的に示す断面図。

【図3】 図1および図2の工程に続く工程を概略的に示す断面図。

【図4】 図3の工程に続く工程を概略的に示す断面図。

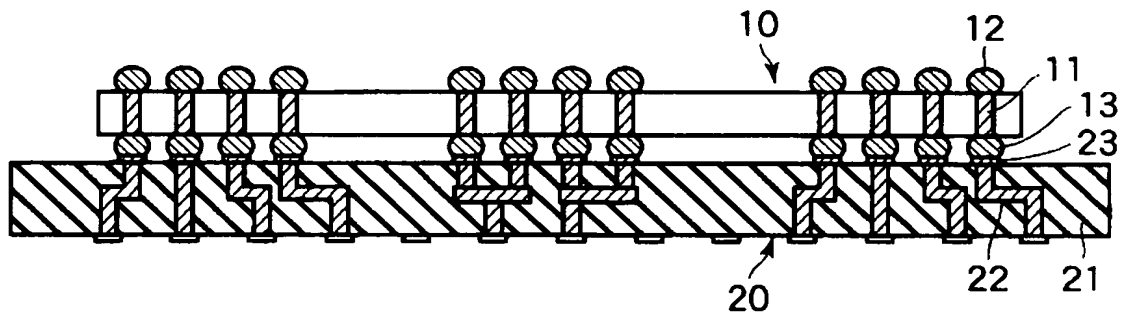
【図5】 従来のFCBGAパッケージを有する半導体装置の一例を概略的に示す断面図。

【符号の説明】

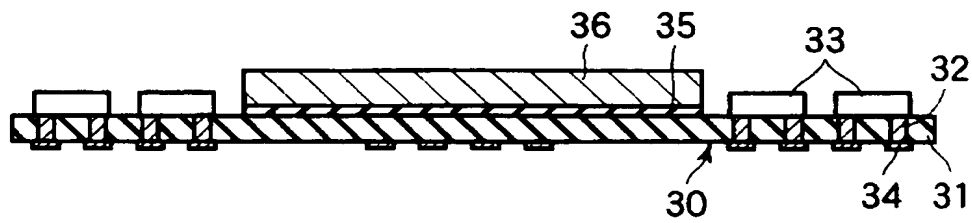
10…半導体チップ、11…スルーホール配線、12…半田バンプ、13…半田バンプ、20…パッケージ基板、21…配線基板、22…スルーホール配線またはビア配線、23…半田パッド、30…キャパシタ実装基板、31…有機基板あるいはセラミックス基板、32…スルーホール配線、33…キャパシタ、34…半田パッド、35…サーマルペースト、36…放熱器、40…樹脂パッケージ、41…半田ボール。

【書類名】 図面

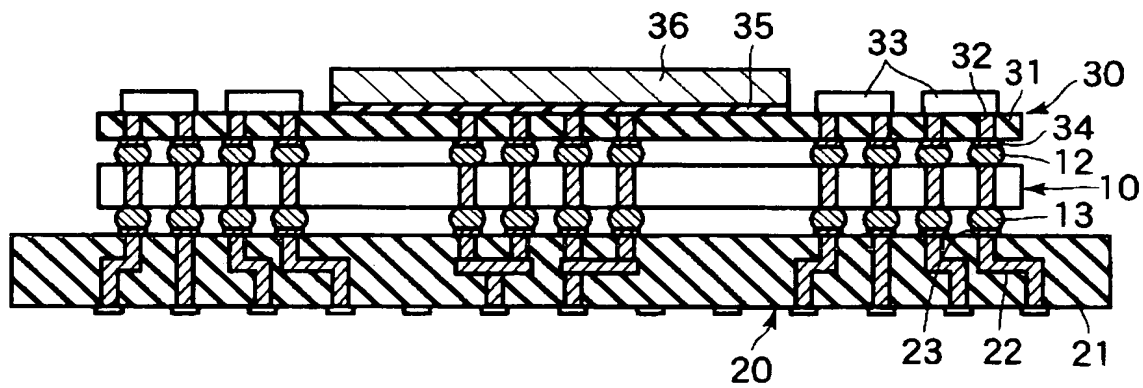
【図 1】



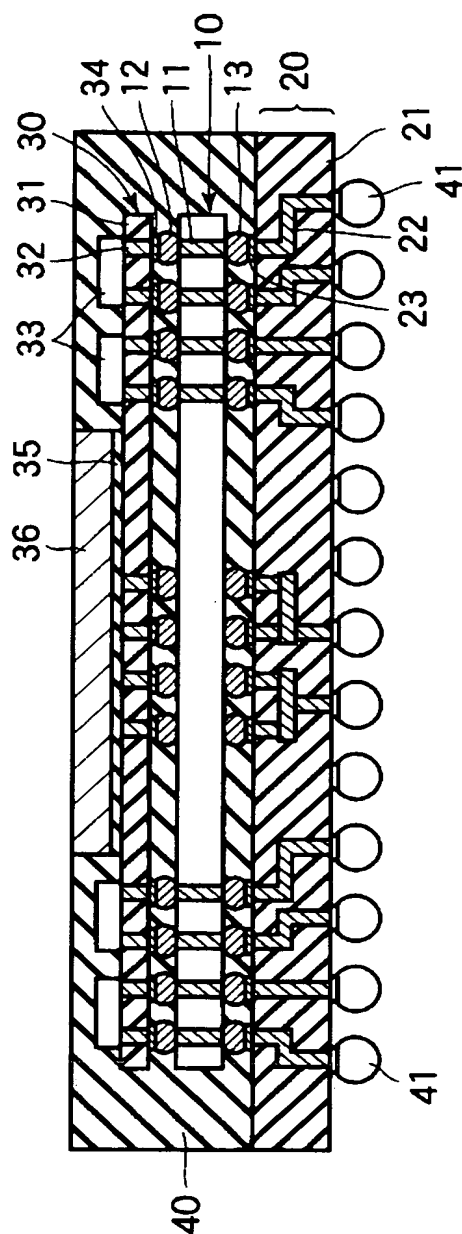
【図 2】



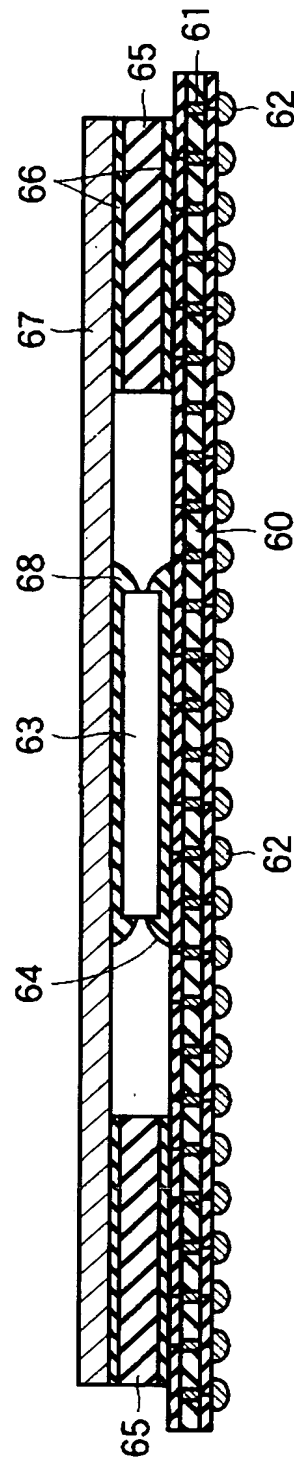
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】FCBGAパッケージのBGAの配列に変更を与えることなく、デカップリングキャパシタを半導体チップの電源パッドの近傍に配置する。

【解決手段】パッケージ基板20の表面側にフリップチップ接続された半導体チップ10と、表面側にデカップリングキャパシタ33が実装され、裏面側が半導体チップの裏面にフリップチップ接続されたキャパシタ実装基板30と、パッケージ基板上でキャパシタ実装基板と半導体チップとパッケージ基板を固着し、半導体チップおよびキャパシタ実装基板の側面およびキャパシタ上面をモールド樹脂で覆った樹脂パッケージ40と、パッケージ基板の裏面側に半田ボール41が配列された外部端子用のボールグリッドアレイとを具備する。

【選択図】 図 4

特願 2003-001487

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝